

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-217716

(P 2 0 0 2 - 2 1 7 7 1 6 A)

(43)公開日 平成14年8月2日(2002.8.2)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

H03L 7/087

H03L 7/22

53106

7/107

7/08

P 5K047

7/183

7/10

E

7/22

7/18

B

H04L 7/033

H04L 7/02

B

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21)出願番号 特願2001-6722(P 2001-6722)

(22)出願日 平成13年 1 月15日(2001.1.15)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71)出願人 000214892

鳥取三洋電機株式会社

鳥取県鳥取市南吉方3丁目201番地

(72) 発明者 鷺見 育亮

鳥取県鳥取市美萩野1丁目128番地

(72) 発明者 盛本 憲男

鳥取県鳥取市南吉方3丁目201番地 鳥取
三洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

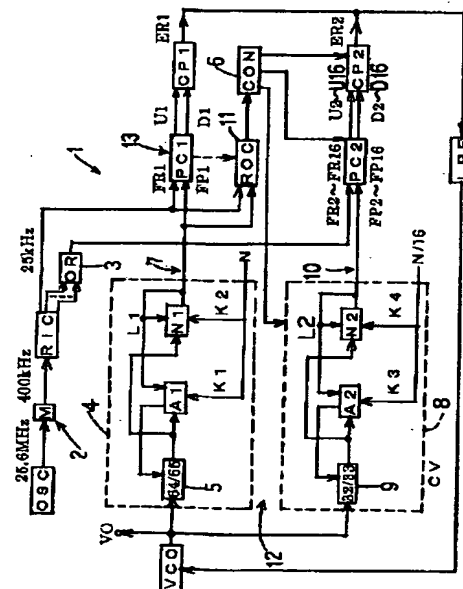
[最終頁に続く](#)

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 ロックアップ時間が短い、かつ、電力消費量が少ないPLL回路を提供する。

【解決手段】 位相が異なる複数の基準信号を発生する発生手段２と、電圧制御発振器ＶＣＯの出力信号を各々分周し、各帰還信号を出力する複数の可変分周器１２と、各帰還信号と各基準信号を位相比較し、複数の位相比較信号を出力する位相比較器１３を備え、前記出力信号が設定周波数に同期した場合、少なくとも１つの前記可変分周器４を動作させ、他の前記可変分周器８を停止させる。



延する。同様に、基準信号FRA (Aは2から16までの整数) は $(A-1)/16$ 周期だけ、基準信号FR1より遅延する。この様に、基準信号FR1~FR16の各基準周波数は $400\text{KHz} \div 16 = 25\text{KHz}$ であり、所望のチャンネル・スペース (局間周波数) に一致する。上述の様に、発生手段2は位相が異なる複数の基準信号FR1~FR16を発生する。

【0014】基準信号FR1は、第1位相比較器PC1の1入力側に入力される。基準信号FR2~FR16は各々、オアゲート3の入力側に入力され、オアゲート3の出力は第2位相比較器PC2の1入力側に入力される。

【0015】第1可変分周器4は例えば、2係数プリスケラ5と、スワロカウンタA1と、コースカウンタN1等から構成されている。2係数プリスケラ5は例えば、分周比64又は分周比65の分周を行うものである。スワロカウンタA1には第1一致回路 (図示せず) が接続され、コースカウンタN1には第2一致回路 (図示せず) が接続されている。第1可変分周器4から出力されるロード信号L1は、スワロカウンタA1およびコースカウンタN1に印加されている。

【0016】例えば、使用者が設定周波数キー (図示せず) に於て、1.65GHzを設定したとする。設定周波数キーに接続された制御部6 (マイクロコンピュータ等から成る) は、第1可変分周器4の設定分周データNを演算し、第1可変分周器4へ出力する。即ち、 $N = 1.65 \times 106\text{KHz} \div 25\text{KHz} = 66000$ となる (基準周波数が25KHzだから)。即ち、第1可変分周器4は、設定周波数を基準周波数で割った値、分周データNが与えられる。

【0017】制御部6は、上記設定分周データNに基づいて、スワロカウンタA1の運転回数K1と、コースカウンタN1の運転回数K2を演算し、設定する (例えばK1=16回、K2=1031回)。この様に、第1可変分周器4をパルススワロカウンタにて構成成分周数が2種類だけで切り替えられるので、伝搬遅延時間を小さくでき動作速度が向上する。

【0018】この様に、電圧制御発振器VCOの出力信号VOをN分周された帰還信号FP1は、第1位相比較器PC1の他の入力側に入力される。

【0019】第1位相比較器PC1は、上記基準信号FR1と、上記帰還信号FR1を位相比較し、位相比較信号 (ポンプアップ信号U1) と、位相比較信号 (ポンプダウン信号D1) を第1チャージポンプCP1へ出力する。

【0020】第1チャージポンプCP1は、これらの位相比較信号U1、D1に基づき、誤差信号ER1を生成し、ローパスフィルタLPFに対し、誤差信号ER1を出力する。

【0021】ローパスフィルタLPFは、誤差信号ER

1の高周波成分をカットした制御電圧CVを生成し、電圧制御発振器VCOへ出力する。これらの、発生手段2と、第1位相比較器PC1と、第1チャージポンプCP1と、ローパスフィルタLPFと、電圧制御発振器VCOと、第1可変分周器4等により、第1PLL周波数シンセサイザ7が構成されている。

【0022】第2可変分周器8は例えば、2係数プリスケラ9と、スワロカウンタA2とコースカウンタN2等から構成されている。2係数プリスケラ9は例えば、分周比32又は分周比33の分周を行うものである。スワロカウンタA2には、第1一致回路 (図示せず) が接続され、コースカウンタN2には第2一致回路 (図示せず) が接続されている。第2可変分周器8から出力されるロード信号L2は、スワロカウンタA2およびコースカウンタN2に印加されている。

【0023】上述の様に、第1可変分周器4に分周データNが与えられている。nは2以上の整数であり、望しくは、複数の基準信号FR1~FR16の総数をnとして、第2可変分周器8に対し、例えば N/n が与えられる。

【0024】例えばn=16個とするならば、制御部6は第2可変分周器8に対し、 $N/n = 66000/16 = 4125$ を与える。制御部6は、上記設定分周データN/nに基づいて、スワロカウンタA1の運転回数K3と、コースカウンタN2の運転回数K4を演算し、設定する (例えば、K3=29回、K4=128回)。

【0025】この様に、第2可変分周器8は、電圧制御発振器VCOの出力信号VOを分周データN/n (例えば4125) にて分周し、16個の帰還信号fp1、FP2~FP16を出力する (図2に於て、帰還信号fp1を図示せず)。

【0026】第2位相比較器PC2の1入力側には、発生手段2とオアゲート3により生成された複数の基準信号の中から、1個ずつの基準信号FR2~FR16が順に入力される。また、第2位相比較器PC2の他の入力側には、第2可変分周器8により生成された複数の帰還信号の中から、1個ずつの帰還信号fp1、FP2~FP16が順に入力される。

【0027】第2位相比較器PC2は各基準信号FR2~FR16と、各帰還信号FP2~FP16を各々位相比較し、位相比較信号 (ポンプアップ信号U2~U16) と位相比較信号 (ポンプダウン信号D2~D16) を、第2チャージポンプCP2へ出力する。なお、この時、第2位相比較器PC2に於て、帰還信号fp1に対応する基準信号FR1の入力がないため、帰還信号fp1に応答する位相比較信号は生成されない。

【0028】第2チャージポンプCP2は、これらの位相比較信号U2~U16、D2~D16に基づき、誤差信号ER2を生成し、ローパスフィルタLPFに対し、誤差信号ER2を出力する。

【0029】ローパスフィルタLPFは、誤差信号ER2の高周波成分をカットした制御電圧CVを生成し、電圧制御発振器VCOへ出力する。これらの発生手段2と、オアゲート3と、第2位相比較器PC2と、第2チャージポンプCP2と、ローパスフィルタLPFと、電圧制御発振器VCOと、第2可変分周器8等により、第2PLL周波数シンセサイザ10が構成されている。

【0030】ロック検出器11は、第1可変分周器4が出力する帰還信号FP1と、基準信号FR1が入力される。ロック検出器11は例えば、アンドゲートと抵抗等から成る公知のものである。このPLL回路1が立上る時は、電圧制御発振器VCOの出力信号VOの周波数は、設定周波数と異なるので、帰還信号FP1と基準信号FR1は同期がとれていない。従って、この時、ロック検出器11は制御部6に対し、Lo信号（非同期検出信号）を出力する。

【0031】PLL回路1がロックした時（例えば、上記出力信号VOの周波数が設定周波数の $\pm 300\text{Hz}$ 以内になった時）、帰還信号FP1と基準信号FR1は殆んど同期されている。この時、ロック検出器11は制御部6に対し、Hi信号（同期検出信号）を出力する。この状態を「出力信号VOが設定周波数に同期した」と表現する。

【0032】制御部6の各出力端子は、各々、第2可変分周器8と、第2位相比較器PC2と、第2チャージポンプCP2に電氣的接続されている。なお、ロック検出器11は、第1位相比較器PC1に付属させて設けても良く、又は、第1位相比較器PC1と一体的に設けても良い。以上の部品により、PLL回路1は構成されている。

【0033】以下の通り、このPLL回路1の特徴をまとめる。PLL回路1に於て、位相が異なる複数の基準信号FR1～FR16を発生する発生手段2が設けられている。複数の可変分周器12は、電圧制御発振器VCOの出力信号VOを各々分周し、各帰還信号FP1～FP16を出力する。

【0034】位相比較器13は各帰還信号FP1～FP16と、各基準信号FR1～FR16を各々、位相比較し、複数の位相比較信号（U1～U16、D1～D16）を出力する。

【0035】また、第1可変分周器4には、分周データN（Nは、出力信号VOの周波数を基準周波数で割った値）が与えられる。第1可変分周器4が出力する帰還信号FP1と、基準信号FR1は、ロック検出器11に入力される。ロック検出器11は、出力信号VOが設定周波数に同期した事を検出する。

【0036】可変分周器12を、第1可変分周器4および第2可変分周器8とにより構成する。第2可変分周器8には、分周データN/n（nは、2以上の整数であり、望しくは、基準信号FR1～FR16の総数、16

個）が与えられる。

【0037】上記説明では、 $N/n=4125$ となり、この値は整数であるので、分周データとして、そのまま与えられる。例えば、出力信号VOの設定周波数が755MHzの場合、 $N=755 \times 103\text{KHz}/25\text{KHz}=30200$ 、 $N/n=30200/16=1887.5$ となる。この様に、 N/n が分数を含む場合（即ち整数でない場合）分周データN/nは、この値1887.5に近い整数、即ち1887又は1888が分周データN/nとして与えられる。

【0038】次に、図1と図2に従い、本PLL回路1の動作を説明する。最初に、例えば使用者は設定周波数キーに於て、1.65GHzを設定し、スタートキーを押したとする。

【0039】制御部6は第1可変分周器4に対し、分周データ $N=66000$ を出力する。それと同時に、制御部6は第2可変分周器8に対し、 $N/n=66000/16=4125$ を出力する。

【0040】基準発振器OSCの信号25.6MHzは、固定分周器Mにより、400KHzに分周され、発生手段2により、位相が異なる複数の基準信号FR1～FR16が出力される。基準信号FR1～FR16は、基準周波数が25KHzでありタイミングT1～T16にて各々、立上っている（図2参照）。

【0041】第1可変分周器4は、電圧制御発振器VCOからの出力信号VOを、分周データ $N=66000$ にて分周し、帰還信号FP1を生成し、帰還信号FP1（図2参照）を、第1位相比較器PC1へ出力する。

【0042】第2可変分周器8は、出力信号VOを、分周データ $N/n=4125$ にて分周し、帰還信号FP2～FP16を生成し、そして、帰還信号FP2～FP16（図2参照）を、第2位相比較器PC2へ出力する。

【0043】第1位相比較器PC1は、基準信号FR1と帰還信号FP1を位相比較し、第1チャージポンプCP1に対し、位相比較信号U1、D1を出力する。第1チャージポンプCP1は、位相比較信号U1、D1に従い、ローパスフィルタLPFに対し、誤差信号ER1を出力する。ローパスフィルタLPFは、誤差信号ER1に従い、電圧制御発振器VCOに対し、制御電圧CVを出力する。

【0044】次に、第2位相比較器PC2は、基準信号FR2～FR16と、帰還信号FP2～FP16を各々位相比較し、第2チャージポンプCP2に対し、位相比較信号U2～U16、D2～D16を出力する。

【0045】第2チャージポンプCP2は、上記位相比較信号に従い、ローパスフィルタLPFに対し、誤差信号ER2を出力する。ローパスフィルタLPFは、上記誤差信号ER2に従い、電圧制御発振器VCOに対し、制御電圧CVを出力する。その結果、電圧制御発振器VCOから出力される出力信号VOは、設定周波数に近づ

く。この様な、位相比較動作を繰り返す。

【0046】この構成により、基準信号FR1の1周期(TR)の間に、位相比較が16回行われるため(図2参照)、従来の位相比較器1段型に比べて、ロックアップ時間(出力信号VOが設定周波数に略同期するまでの時間)が、約1/16倍に短縮される。

【0047】この様に、前記同期が検出されない場合(即ち、ロック検出器11が制御部6に対し、Lo信号を出力している時)、第1可変分周器4と、第1位相比較器CP1と、第1チャージポンプCP1と、第2可変分周器8と、第2位相比較器CP2と、第2チャージポンプCP2等は動作している。

【0048】この様に、上記位相比較が繰返されると、出力信号VOは、設定周波数に同期する。即ち、この時、出力信号VOの周波数が、設定周波数の±300Hz以内になる。この時に、ロック検出器11は制御部6に対し、Hi信号(同期検出信号)を出力する。

【0049】上記同期検出信号の入力により、制御部6は、第2可変分周器8を停止させ、第2位相比較器PC2を停止させ、第2チャージポンプCP2を停止させる。

【0050】また、この時、制御部6は、第1可変分周器4の動作を継続させ、第1位相比較器PC1と第1チャージポンプCP1の動作を継続させる。即ち、制御部6は第1PLL周波数シンセサイザ7の動作を継続させ、第2PLL周波数シンセサイザ10の動作を停止させる。

【0051】この様に、同期検出信号が入力されると、制御部6は第1PLL周波数シンセサイザ7の動作を継続させるので、分周、位相比較動作は正確に行われる。その結果、設定周波数1.65GHzを持つ出力信号VOを、安定して出力させる事ができる。

【0052】また、同期検出信号が入力されると、制御部6は、第2可変分周器8と、第2位相比較器PC2と、第2チャージポンプCP2の運転を停止させる。その結果このPLL回路1の電力消費量は少なくなる。

【0053】上記動作の特徴をまとめる。出力信号VOが設定周波数に同期した場合、少なくとも1つの可変分周器4を動作させ、他の可変分周器8の動作を停止する。

【0054】即ち、前記同期が検出されない場合、第1可変分周器4および第2可変分周器8を動作させる。そして、前記同期が検出された場合、第1可変分周器4を動作させ、第2可変分周器8の動作を停止させる。

【0055】

【発明の効果】請求項1の本発明では、位相が異なる複数の基準信号を発生する発生手段と、電圧制御発振器の出力信号を各々分周し、各帰還信号を出力する複数の可変分周器と、各帰還信号と各基準信号を位相比較し、複数の位相比較信号を出力する位相比較器を備え、前記出

力信号が設定周波数に同期した場合、少なくとも1つの前記可変分周器を動作させ、他の前記可変分周器を停止させる構成とする。この様に、複数の位相比較信号を出力させるので、基準信号の1周期の間に、位相比較を複数回行う事となり、ロックアップ時間が早くなる。また、出力信号が同期した場合、他の可変分周器を停止させるので、このPLL回路の電力消費量は少なくなる。

【0056】請求項2の本発明では、第1可変分周器は分周データN(Nは設定周波数を基準周波数で割った値)が与えられ、前記第1可変分周器が出力する帰還信号と前記基準信号とにより、前記同期が検出される構成とする。この様に、第1可変分周器に対し、分周データNを与えるので、第1可変分周器は正確な分周を行い、その第1可変分周器からの帰還信号と基準信号とにより、出力信号の同期を検出するので、この検出動作(検出結果)は正確なものとなる。

【0057】請求項3の本発明では、前記可変分周器を、前記第1可変分周器と第2可変分周器により構成し、前記第2可変分周器に対し、分周データN/n(nは2以上の整数)又は該データに近い整数を与える構成とする。この様に、第2可変分周器に対し、分周データN/nを与えるので、第2可変分周器は、基準信号の1周期の間に、複数の帰還信号を出力する。その結果、第2位相比較器は、基準信号の1周期の間に、位相比較を複数回行う事となり、ロックアップ時間が早くなる。更に、この様に、基準信号1周期の間に、複数回(例えば16回)位相比較するのに、2個の可変分周器のみを設けるので、可変分周器の数を減らせる。その結果、このPLL回路は、コストが安く、LSI化し易い。

【0058】請求項4の本発明では、前記同期が検出されない場合、前記第1可変分周器および前記第2可変分周器を動作させ、前記同期が検出された場合、前記第1可変分周器を動作させ、前記第2可変分周器を停止させる。この様に、同期検出前に両方の可変分周器を動作させるので、ロックアップ時間が早くなる。そして同期検出後に、第2可変分周器を停止させるので、このPLL回路の電力消費量は少なくなる。更に、同期検出後に、第1可変分周器は分周データN(Nは設定周波数を基準周波数で割った値)にて、出力信号を分周する。その結果、このPLL回路は同期検出後に、設定周波数に正確に一致する出力信号を、安定して出力する事ができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るPLL回路1のブロック図である。

【図2】上記PLL回路1に用いられる各信号のタイムチャートである。

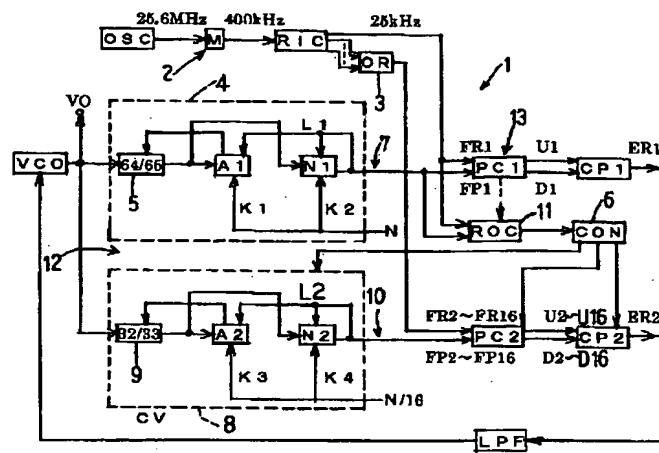
【符号の説明】

2 発生手段

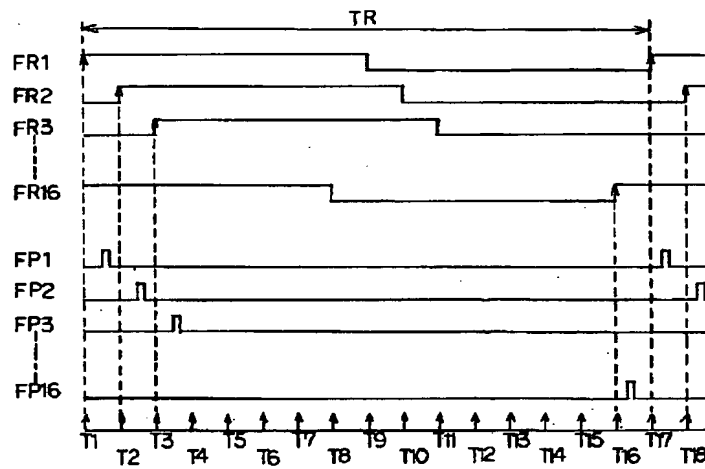
12 可変分周器

13 位相比較器

【図 1】



【図 2】



フロントページの続き

Fターム(参考) 5J106 AA04 CC20 CC21 CC53 FF01
 FF08 FF09 KK03 KK37 QQ09
 5K047 AA02 AA16 GG10 MM46 MM50
 MM55 MM63